

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-29791

(43)公開日 平成6年(1994)2月4日

(51)Int.Cl.⁵
H 03 K 3/037

識別記号 庁内整理番号
B 8124-5J

F I

技術表示箇所

審査請求 未請求 請求項の数10(全 16 頁)

(21)出願番号 特願平3-270272

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(22)出願日 平成3年(1991)9月21日

(72)発明者 永井 謙治

東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センタ内

(72)発明者 田中 広紀

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 山下 寛樹

東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(74)代理人 弁理士 篠若 光政

最終頁に続く

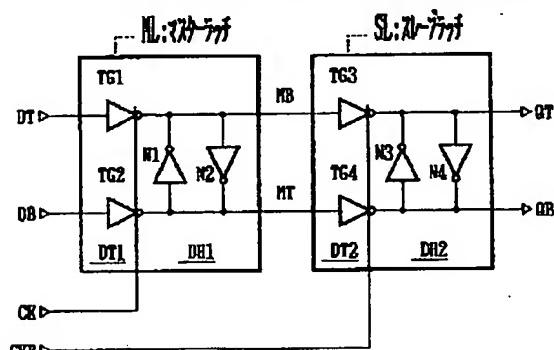
(54)【発明の名称】 フリップフロップ回路

(57)【要約】 (修正有)

【目的】 エッジトリガ型フリップフロップ回路の伝達
遅延時間及びセットアップ時間を短縮化し、その動作を
高速化する。

【構成】 一対のトライステートゲート TG 1 及び TG 2 を含み非反転クロック信号 C K に従って非反転入力データ D T 及び反転入力データ D B を選択的に伝達するデータ伝達部 D T 1 と、上記トライステートゲート TG 1 及び TG 2 より小さな駆動能力を有しつつ交差結合される一対のインバータ N 1 及び N 2 を含み上記データ伝達部 D T 1 の反転出力信号 M B 及び非反転出力信号 M T を保持するデータ保持部 D H 1 と、同様の構成のデータ伝達部 D T 2 及びデータ保持部 D H 2 とにより構成し、伝達遅延時間及びセットアップ時間をトライステートゲート 1 段分の遅延時間に短縮する。

図1 エッジトリガ型フリップフロップ回路(第1実施例)



1

【特許請求の範囲】

【請求項1】 クロック信号に従って実質的な相補入力データを選択的に伝達する第1のデータ伝達部と、上記第1のデータ伝達部の相補出力信号を保持する第1のデータ保持部と、上記クロック信号の反転信号に従って上記第1のデータ保持部の相補出力信号を選択的に伝達する第2のデータ伝達部と、上記第2のデータ伝達部の相補出力信号を保持する第2のデータ保持部とを具備することを特徴とするフリップフロップ回路。

【請求項2】 上記第1のデータ伝達部は、上記クロック信号に従って実質的な非反転又は反転入力データをそれぞれ選択的に伝達する第1及び第2のトライステートゲートを含み、上記第1のデータ保持部は、交差結合される第1及び第2のインバータを含み、上記第2のデータ伝達部は、上記クロック信号の反転信号に従って上記第1のデータ伝達部の反転又は非反転出力信号をそれぞれ選択的に伝達する第3及び第4のトライステートゲートを含み、上記第2のデータ保持部は、交差結合される第3及び第4のインバータを含むものであることを特徴とする請求項1のフリップフロップ回路。

【請求項3】 上記第1ないし第4のトライステートゲートの駆動能力は、上記第1ないし第4のインバータの駆動能力に比較して充分に大きくされるものであることを特徴とする請求項2のフリップフロップ回路。

【請求項4】 上記フリップフロップ回路は、金属間化合物半導体からなる半導体基板上に形成されるものであることを特徴とする請求項1、請求項2又は請求項3のフリップフロップ回路。

【請求項5】 上記フリップフロップ回路は、高速論理集積回路装置に含まれる直並列変換レジスタを構成するものであることを特徴とする請求項1、請求項2、請求項3又は請求項4のフリップフロップ回路。

【請求項6】 上記第1及び第3のトライステートゲートは、その一方の入力端子に非反転入力データあるいは上記第1のデータ伝達部の反転出力信号を受けその他方の入力端子に上記クロック信号あるいはその反転信号を受ける第1のノアゲートと、その一方の入力端子に反転入力データあるいは上記第1のデータ伝達部の非反転出力信号を受けその他方の入力端子に上記クロック信号あるいはその反転信号を受ける第2のノアゲートと、第1の電源電圧と回路の出力端子との間に設けられそのゲートに上記第1のノアゲートの出力信号を受ける第1のノーマリオフ型FETと、回路の出力端子と第2の電源電圧との間に設けられそのゲートに上記第2のノアゲートの出力信号を受ける第2のノーマリオフ型FETとを含み、上記第2及び第4のトライステートゲートは、その一方の入力端子に反転入力データあるいは上記第1のデータ伝達部の非反転出力信号を受けその他方の入力端子に上記クロック信号あるいはその反転信号を受ける第3のノアゲートと、その一方の入力端子に非反転入力データ

2

タあるいは上記第1のデータ伝達部の反転出力信号を受けその他方の入力端子に上記クロック信号あるいはその反転信号を受ける第4のノアゲートと、第1の電源電圧と回路の出力端子との間に設けられそのゲートに上記第3のノアゲートの出力信号を受ける第3のノーマリオフ型FETと、回路の出力端子と第2の電源電圧との間に設けられそのゲートに上記第4のノアゲートの出力信号を受ける第4のノーマリオフ型FETとを含むものであることを特徴とする請求項1、請求項2、請求項3、請求項4又は請求項5のフリップフロップ回路。

【請求項7】 上記第1のデータ伝達部は、その一方の入力端子に非反転入力データを受けその他方の入力端子にクロック信号を受ける第5のノアゲートを含むものであって、上記第1のトライステートゲートは、その一方の入力端子に上記第5のノアゲートの出力信号を受けその他方の入力端子にクロック信号を受ける第6のノアゲートと、第1の電源電圧と回路の出力端子との間に設けられそのゲートに上記第5のノアゲートの出力信号を受ける第1のノーマリオフ型FETと、回路の出力端子と第2の電源電圧との間に設けられそのゲートに上記第6のノアゲートの出力信号を受ける第2のノーマリオフ型FETとを含むものであり、上記第2のトライステートゲートは、その一方の入力端子に上記第5のノアゲートの出力信号を受けその他方の入力端子にクロック信号を受ける第7のノアゲートと、第1の電源電圧と回路の出力端子との間に設けられそのゲートに上記第7のノアゲートの出力信号を受ける第3のノーマリオフ型FETと、回路の出力端子と第2の電源電圧との間に設けられそのゲートに上記第5のノアゲートの出力信号を受ける第4のノアゲートとを含むものであることを特徴とする請求項1、請求項2、請求項3、請求項4又は請求項5のフリップフロップ回路。

【請求項8】 上記第1ないし第7のノアゲートは、第1の電源電圧と回路の出力端子との間に設けられそのゲート及びソースが共通結合される第1のノーマリオン型FETと、回路の出力端子と第2の電源電圧との間に並列形態に設けられそのゲートが回路の一方又は他方の入力端子にそれぞれ結合される第5及び第6のノーマリオフ型FETとを含むものであることを特徴とする請求項1、請求項2、請求項3、請求項4又は請求項5のフリップフロップ回路。

【請求項9】 上記ノアゲートは、第1の電源電圧と回路の出力端子との間に設けられそのゲートに所定の定電圧を受ける第2のノーマリオン型FETと、回路の出力端子と第2の電源電圧との間に並列形態に設けられそのゲートが回路の一方又は他方の入力端子にそれぞれ結合される第5及び第6のノーマリオフ型FETと、上記第5及び第6のノーマリオフ型FETと並列形態に設けられるクランプ手段とを含むものであることを特徴とする請求項6又は請求項7のフリップフロップ回路。

【請求項10】 上記クランプ手段は、そのゲートが回

3

路の出力端子側に結合されそのソース及びドレインが第2の電源電圧側に結合される少なくとも1個の第7のノーマリオフ型FETあるいはそのドレインが回路の出力端子に結合されそのゲート及びソースが第2の電源電圧に結合される第3のノーマリオン型FETを含むものであることを特徴とする請求項9のフリップフロップ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明はフリップフロップ回路に関するもので、例えば、金属間化合物半導体を基板とする高速論理集積回路装置等に含まれるエッジトリガ型フリップフロップ回路を利用して特に有効な技術に関するものである。

【0002】

【従来の技術】ガリウム砒素(GaAs)等の金属間化合物半導体を半導体基板として形成されかつ複数のフリップフロップ回路を含む高速論理集積回路装置がある。一方、例えば反転クロック信号CKB(この明細書において、それが有効とされるとき選択的にロウレベルとされる反転信号については、その名称の末尾にBを付して表す。また、それが有効とされるとき選択的にハイレベルとされる非反転信号については、その名称の末尾にTを付して表す場合がある)の立ち下がりエッジにおいて入力データDTを取り込み、後段回路に伝達する図19のようなエッジトリガ型フリップフロップ回路がある。【0003】図19のエッジトリガ型フリップフロップ回路については、例えば、1977年11月20日、エレクトロニクスダイジェスト社発行の『MOS/LSI設計と応用』第122頁～第126頁に記載されている。

【0004】

【発明が解決しようとする課題】本願発明者等は、この発明に先立って、高速論理集積回路装置に含まれるフリップフロップ回路として上記に記載されるようなエッジトリガ型フリップフロップ回路を用いることを考えた。ところが、高速論理集積回路装置の高速化が進みそのサイクルタイムが短縮されるにしたがって、上記エッジトリガ型フリップフロップ回路には次のような問題点が生じることが本願発明者等によって明らかとなった。すなわち、図19のエッジトリガ型フリップフロップ回路の場合、反転クロック信号CKBの立ち下がりエッジから非反転出力信号QT及び反転出力信号QBの論理レベルが確立されるまでには、図20に示されるように、3段のノア(NOR)ゲートNO11, NO15及びNO14あるいはNO12, NO14及びNO15を通過する必要があり、そのためエッジトリガ型フリップフロップ回路としての伝達遅延時間が長くなる。また、入力データDTのレベル変化を反転クロック信号CKBの立ち下がりエッジに間に合わせるには、最大2個のノアゲー

50

4

トNO10及びNO13の伝達遅延時間を考慮する必要があり、そのためエッジトリガ型フリップフロップ回路のセットアップ時間が長くなる。これらの結果、エッジトリガ型フリップフロップ回路の高速動作が制約を受け、高速論理集積回路装置のサイクルタイムが制限される。

【0005】この発明の目的は、その伝達遅延時間及びセットアップ時間の短縮化を図ったエッジトリガ型フリップフロップ回路を提供することにある。この発明の他の目的は、エッジトリガ型フリップフロップ回路の動作を高速化し、特に金属間化合物半導体を基板としつつ複数のエッジトリガ型フリップフロップ回路を含む高速論理集積回路装置等のサイクルタイムを短縮化することにある。

【0006】この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述及び添付図面から明らかになるであろう。

【0007】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、次の通りである。すなわち、エッジトリガ型フリップフロップ回路を、一対のトライステートゲートを含みクロック信号に従って実質的な相補入力データを選択的に伝達する第1のデータ伝達部と、これらのトライステートゲートより小さな駆動能力を有しつつ交差結合される一対のインバータを含み第1のデータ伝達部の相補出力信号を保持する第1のデータ保持部と、一対のトライステートゲートを含みクロック信号の反転信号に従って第1のデータ保持部の相補出力信号を選択的に伝達する第2のデータ伝達部と、これらのトライステートゲートより小さな駆動能力を有しつつ交差結合される一対のインバータを含み第2のデータ伝達部の相補出力信号を保持する第2のデータ保持部とにより構成する。

【0008】

【作用】上記手段によれば、エッジトリガ型フリップフロップ回路としての伝達遅延時間及びセットアップ時間をトライステートゲート1段分の遅延時間に短縮し、その動作を高速化することができる。その結果、特に金属間化合物半導体を基板としつつ複数のエッジトリガ型フリップフロップ回路を含む高速論理集積回路装置等のサイクルタイムを短縮化することができる。

【0009】

【実施例】図1には、この発明が適用されたエッジトリガ型フリップフロップ回路の一実施例の回路図が示され、図2には、その信号波形図が示されている。また、図3には、図1のエッジトリガ型フリップフロップ回路に含まれるデータ伝達部DT1の一実施例の回路図が示され、図4には、その真理値図が示されている。さらに、図5には、図1のエッジトリガ型フリップフロップ回路に含まれるデータ保持部DH1の一実施例の回路図

5

が示され、図6には、図3のデータ伝達部DT1に含まれるノアゲートNO1の一実施例の回路図が示されている。これらの図をもとに、この実施例のエッジトリガ型フリップフロップ回路の構成と動作の概要ならびにその特徴について説明する。なお、この実施例のエッジトリガ型フリップフロップ回路は、他の同様な複数のエッジトリガ型フリップフロップ回路とともに、金属間化合物半導体を基板とする高速論理集積回路装置に搭載される。図1、図3ならびに図5及び図6に示される回路素子は、高速論理集積回路装置に搭載される図示されない他の回路素子とともに、ガリウム砒素のような金属間化合物半導体からなる1個の半導体基板上に形成される。

【0010】図1において、この実施例のエッジトリガ型フリップフロップ回路は、非反転クロック信号CKに従って相補入力データすなわち非反転入力データDT及び反転入力データDBを選択的に取り込み・保持するマスターラッチMLと、上記非反転クロック信号CKの反転信号すなわち反転クロック信号CKBに従って上記マスターラッチMLの相補出力信号すなわち反転出力信号MB及び非反転出力信号MTを選択的に取り込み・伝達するスレーブラッチSLとを含む。スレーブラッチSLの非反転及び反転出力信号は、エッジトリガ型フリップフロップ回路の非反転出力信号QT及び反転出力信号QBとして、図示されない後段回路に伝達される。なお、非反転クロック信号CKは、図2に示されるように、所定の周期をもって周期的にハイレベル又はロウレベルとされるディジタル信号とされ、反転クロック信号CKBは、この非反転クロック信号CKの相補信号とされる。また、非反転入力データDT及び反転入力データDBは、その論理レベルが非反転クロック信号CKつまりは反転クロック信号CKBのレベル変化に先立って選択的に切り換えられる所定のディジタル信号とされる。

【0011】この実施例において、マスターラッチMLは、その入力端子に非反転入力データDT又は反転入力データDBをそれぞれ受けその制御端子に非反転クロック信号CKを共通に受ける一対のトライステートゲートTG1(第1のトライステートゲート)及びTG2(第2のトライステートゲート)からなるデータ伝達部DT1(第1のデータ伝達部)と、その入力端子及び出力端子が交差結合される一対のインバータN1(第1のインバータ)及びN2(第2のインバータ)からなるデータ保持部DH1(第1のデータ保持部)とを含む。一方、スレーブラッチSLは、その入力端子にマスターラッチMLの反転出力信号MB又は非反転出力信号MTをそれぞれ受けその制御端子に反転クロック信号CKBを共通に受ける一対のトライステートゲートTG3(第3のトライステートゲート)及びTG4(第4のトライステートゲート)からなるデータ伝達部DT2(第2のデータ伝達部)と、その入力端子及び出力端子が交差結合される一対のインバータN3(第3のインバータ)及びN4

50

6

(第4のインバータ)からなるデータ保持部DH2(第2のデータ保持部)とを含む。

【0012】ここで、マスターラッチML及びスレーブラッチSLのデータ伝達部DT1及びDT2を構成するトライステートゲートTG1～TG4は、図3に例示されるように、電源電圧VCC(第1の電源電圧)及びVSS(第2の電源電圧)間にトーテムポール形態に設けられる一対のノーマリオフ型FET(Field Effect Transistor: 電界効果トランジスタ。以下同様)J1(第1のノーマリオフ型FET)及びJ2(第2のノーマリオフ型FET)あるいはJ3(第3のノーマリオフ型FET)及びJ4(第4のノーマリオフ型FET)をそれぞれ含む。このうち、ノーマリオフ型FET J1及びJ2の共通結合されたソース及びドレインは、回路すなわちトライステートゲートTG1又はTG3の出力端子つまりはマスターラッチMLの反転出力端子MBあるいはスレーブラッチSLの非反転出力端子QTとされ、ノーマリオフ型FET J3及びJ4の共通結合されたソース及びドレインは、回路すなわちトライステートゲートTG2又はTG4の出力端子つまりはマスターラッチMLの非反転出力端子MTあるいはスレーブラッチSLの反転出力端子QBとされる。以下、データ伝達部DT1すなわちトライステートゲートTG1及びTG2を例に、データ伝達部及びトライステートゲートに関する具体的な説明を進める。なお、電源電圧VCCは、0Vすなわち回路の接地電位のような高電位側の電源電圧とされ、電源電圧VSSは、-1Vのような低電位側の電源電圧とされる。

【0013】トライステートゲートTG1を構成するノーマリオフ型FET J1のゲートには、ノアゲートNO1(第1のノアゲート)の出力信号S1が供給され、ノーマリオフ型FET J2のゲートには、ノアゲートNO2(第2のノアゲート)の出力信号S2が供給される。同様に、トライステートゲートTG2を構成するノーマリオフ型FET J3のゲートには、ノアゲートNO3(第3のノアゲート)の出力信号S3が供給され、ノーマリオフ型FET J4のゲートには、ノアゲートNO4(第4のノアゲート)の出力信号S4が供給される。ノアゲートNO1及びNO4の一方の入力端子には、非反転入力データDTが供給され、ノアゲートNO2及びNO3の一方の入力端子には、反転入力データDBが供給される。これらのノアゲートNO1～NO4の他方の入力端子には、非反転クロック信号CKが共通に供給される。

【0014】ところで、トライステートゲートTG1及びTG2を構成するノアゲートNO1～NO4は、図6のノアゲートNO1に代表して示されるように、電源電圧VCCと回路の出力端子S1等との間に設けられるノーマリオン型FET J33(第1のノーマリオン型FET)と、回路の出力端子S1等と電源電圧VSSとの間

に並列形態に設けられる一対のノーマリオフ型FET J 7（第5のノーマリオフ型FET）及びJ 8（第6のノーマリオフ型FET）とを含む。このうち、ノーマリオン型FET J 3は、そのゲート及びソースが共通結合される。また、ノーマリオフ型FET J 7のゲートには非反転入力データDT等が供給され、ノーマリオフ型FET J 8のゲートには非反転クロック信号CK等が供給される。これにより、ノアゲートNO 1の出力信号S 1は、非反転入力データDT及び非反転クロック信号CKがともにロウレベルとされるとき、選択的にハイレベルとされる。同様に、ノアゲートNO 4の出力信号S 4は、非反転入力データDT及び非反転クロック信号CKがともにロウレベルとされるとき選択的にハイレベルとされ、ノアゲートNO 2及びNO 3の出力信号S 2及びS 3は、反転入力データDB及び非反転クロック信号CKがともにロウレベルとされるとき選択的にハイレベルとされる。つまり、ノアゲートNO 1及びNO 4の出力信号S 1及びS 4は、非反転クロック信号CKがロウレベルであることを条件に、ノアゲートNO 2及びNO 3の出力信号S 2及びS 3と相補的にハイレベルとされる。

【0015】非反転クロック信号CKがハイレベル(H)とされるとき、データ伝達部DT 1では、ノアゲートNO 1～NO 4の出力信号S 1～S 4が非反転入力データDT及び反転入力データDBに関係なく一齊にロウレベルとされる。このため、トライステートゲートTG 1及びTG 2のノーマリオフ型FET J 1～J 4は一齊にオフ状態とされ、その非反転出力端子MT及び反転出力端子MBは、図4に示されるように、ともにハイインピーダンス状態(Hz)とされる。

【0016】一方、非反転クロック信号CKがロウレベル(L)とされると、データ伝達部DT 1では、前述のように、ノアゲートNO 1～NO 4の出力信号S 1～S 4が非反転入力データDT及び反転入力データDBに従って選択的にハイレベル又はロウレベルとされる。すなわち、このとき、非反転入力データDTがロウレベルで反転入力データDBがハイレベルであると、ノアゲートNO 1及びNO 4の出力信号S 1及びS 4がハイレベルとされ、ノアゲートNO 2及びNO 3の出力信号S 2及びS 3はロウレベルとされる。このため、トライステートゲートTG 1及びTG 2のノーマリオフ型FET J 1及びJ 4がオン状態とされ、ノーマリオフ型FET J 2及びJ 3はオフ状態のままである。その結果、非反転出力信号MTはロウレベルとされ、反転出力信号MBがハイレベルとされる。ところが、このとき、非反転入力データDTがハイレベルで反転入力データDBがロウレベルであると、ノアゲートNO 1及びNO 4の出力信号S 1及びS 4はロウレベルとされ、代わってノアゲートNO 2及びNO 3の出力信号S 2及びS 3がハイレベルとされる。このため、トライステートゲートTG 1及び

TG 2のノーマリオフ型FET J 1及びJ 4はオフ状態とされ、代わってノーマリオフ型FET J 2及びJ 3がオン状態とされる。その結果、非反転出力信号MTがハイレベルとされ、反転出力信号MBはロウレベルとされる。

【0017】次に、マスターラッチML及びスレーブラッチSLのデータ保持部DH 1及びDH 2を構成するインバータN 1～N 4は、図5に例示されるように、電源電圧VCC及びVSS間に直列形態に設けられるノーマリオン型FET J 3 1及びノーマリオフ型FET J 5あるいはノーマリオン型FET J 3 2及びノーマリオフ型FET J 6を含む。このうち、ノーマリオン型FET J 3 1及びJ 3 2のゲートは、そのソースに共通結合され、ノーマリオフ型FET J 5及びJ 6のゲートは、各インバータの入力端子として、対をなすインバータの出力端子すなわちデータ保持部DH 1の非反転出力端子MT又は反転出力端子MBあるいはデータ保持部DH 2の非反転出力端子QT又は反転出力端子QBに交差結合される。これにより、対をなすインバータN 1及びN 2ならびにN 3及びN 4はいわゆるラッチ形態とされ、データ保持機能を有するものとされる。

【0018】この実施例において、データ保持部DH 1及びDH 2のインバータN 1～N 4を構成するノーマリオン型FET J 3 1及びJ 3 2ならびにノーマリオフ型FET J 5及びJ 6は、データ伝達部DT 1～DT 2のトライステートゲートTG 1～TG 4を構成するノーマリオフ型FET J 1～J 4に比較して充分に小さなサイズで形成される。このため、インバータN 1～N 4は、トライステートゲートTG 1～TG 4に比較して充分に小さな駆動能力を持つものとされる。したがって、データ保持部DH 1～DH 2の保持データは、対応するデータ伝達部DT 1～DT 2の出力信号によって強制的に書き換えられるものとなる。

【0019】以上の結果、この実施例のエッジトリガ型フリップフロップ回路では、図2に例示されるように、非反転クロック信号CKの立ち下がりエッジすなわち反転クロック信号CK Bの立ち上がりエッジにおいて、マスターラッチMLの非反転出力信号MT及び反転出力信号MBが非反転入力データDT及び反転入力データDBの論理レベルを受けて変化される。このマスターラッチMLの非反転出力信号MT及び反転出力信号MBの論理レベルは、非反転クロック信号CKの立ち上がりエッジすなわち反転クロック信号CK Bの立ち下がりエッジにおいて、スレーブラッチSLに取り込まれ、エッジトリガ型フリップフロップ回路の非反転出力信号QT及び反転出力信号QBとなる。つまり、このエッジトリガ型フリップフロップ回路において、非反転入力データDT及び反転入力データDBは、非反転クロック信号CKの立ち下がりエッジすなわち反転クロック信号CK Bの立ち上がりエッジにおいてマスターラッチMLに取り込まれ

た後、非反転クロック信号CKの立ち上がりエッジすなわち反転クロック信号CKBの立ち下がりエッジにおいてスレーブラッチSLに取り込まれ、エッジトリガ型フリップフロップ回路の非反転出力信号QT及び反転出力信号QBとなる。

【0020】このとき、非反転クロック信号CKの立ち上がりエッジすなわち反転クロック信号CKBの立ち下がりエッジからエッジトリガ型フリップフロップ回路の非反転出力信号QT及び反転出力信号QBの論理レベルが変化されるまでの時間は、スレーブラッチSLを構成する1段のトライステートゲートTG3又はTG4の伝達遅延時間によってのみ決定され、これによってエッジトリガ型フリップフロップ回路の伝達遅延時間が極めて小さなものとされる。また、非反転入力データDT及び反転入力データDBをエッジトリガ型フリップフロップ回路すなわちそのマスターラッチMLに取り込むために要する時間は、マスターラッチMLを構成する1段のトライステートゲートTG1及びTG2の伝達遅延時間によってのみ決定され、これによってエッジトリガ型フリップフロップ回路のセットアップ時間が極めて小さなものとされる。これらの結果、この実施例のエッジトリガ型フリップフロップ回路は、その動作が相応して高速化されるものとなり、このような複数のエッジトリガ型フリップフロップ回路を含む高速論理集積回路装置のサイクルタイムが相応して短縮化されるものとなる。

【0021】図7には、図3のデータ伝達部DT1のトライステートゲートTG1に含まれるノアゲートNO1の他の実施例の回路図が示され、図8には、図7のノアゲートNO1に含まれるクランプ回路C1に関する四つの実施例の回路図が示されている。なお、この実施例のノアゲートは、その出力端子がトライステートゲートTG1～TG4のハイレベル出力用のノーマリオフ型FETJ1及びJ3のゲートに結合されるノアゲートNO1又はNO3として用いられる。図7のノーマリオフ型FETJ7及びJ8は、前記図6のノーマリオフ型FETJ7及びJ8にそれぞれそのまま対応する。以下、データ伝達部DT1のトライステートゲートTG1に含まれるノアゲートNO1を例に、説明を進める。

【0022】図7において、ノアゲートNO1は、電源電圧VCCと回路の出力端子S1との間に設けられるノーマリオン型FETJ34(第2のノーマリオン型FET)を含む。回路の出力端子S1と電源電圧VSSとの間には、そのゲートに非反転入力データDT又は非反転クロック信号CKを受ける一対のノーマリオフ型FETJ7(第5のノーマリオフ型FET)及びJ8(第6のノーマリオフ型FET)が並列形態に設けられ、さらにこれらのノーマリオフ型FETに対してクランプ回路C1が並列形態に設けられる。

【0023】ここで、クランプ回路C1は、例えば図8の(a)に示されるように、回路の出力端子S1と電源

電圧VSSとの間に直列形態に設けられる2個のノーマリオフ型FETJ9及びJ10(第7のノーマリオフ型FET)からなる。これらのノーマリオフ型FETは、そのソース及びドレインが共通結合され、ダイオード形態とされる。クランプ回路C1は、図8の(b)に示されるように、そのソース及びドレインが共通結合されるノーマリオフ型FETJ11(第7のノーマリオフ型FET)とそのゲート及びドレインが共通結合されるノーマリオフ型FETJ12とによって構成してもよいし、

10 図8の(c)に示されるように、これらのノーマリオフ型FETの順序を入れ換えて構成してもよい。クランプ回路C1は、さらに図8の(d)に示されるように、そのゲート及びソースが共通結合される1個のノーマリオン型FETJ35(第3のノーマリオン型FET)によって構成することもできる。

【0024】図8に示される各種のクランプ回路C1は、図7のノアゲートNO1の出力端子S1にハイレベルが出力されるとき、そのハイレベルを各ノーマリオフ型FET又はノーマリオン型FETの電気的特性によって決まる所定のレベルでクランプする作用を持つ。すなわち、ノアゲートNO1の出力信号S1がハイレベルとされるとき、例えばデータ伝達部DT1のトライステートゲートTG1では、ノーマリオフ型FETJ1がオン状態となり、後段のデータ保持部DH1に所定の出力電流を流し込む。この出力電流の値は、ノーマリオフ型FETJ1のゲート・ソース間電圧によって決まるために、ノアゲートNO1の出力端子S1の電位で決まり、言い換えるならば電源電圧VCCの電位変動の影響を受ける。ところが、この実施例のノアゲートNO1では、回路の出力端子S1と電源電圧VSSとの間にクランプ回路C1が設けられるため、出力信号S1つまりトライステートゲートTG1のノーマリオフ型FETJ1のゲート・ソース間電圧が固定される。その結果、トライステートゲートTG1からデータ保持部DH1に与えられる出力電流変動を抑えることができるとともに、その電流値を低めに固定すればエッジトリガ型フリップフロップ回路の低消費電力化を図ることもできる。

【0025】図9には、図1のエッジトリガ型フリップフロップ回路のマスターラッチMLに含まれるデータ伝達部DT1の第2の実施例の回路図が示されている。なお、この実施例のデータ伝達部は、図1のスレーブラッチSLに含まれるデータ伝達部DT2としても用いることができる。図9のノアゲートNO1及びNO2ならびにノーマリオフ型FETJ1～J4は、図3のノアゲートNO1及びNO2ならびにノーマリオフ型FETJ1～J4にそれぞれそのまま対応する。以下、データ伝達部DT1を例に、説明を進める。

【0026】図9において、データ伝達部DT1は、図3のデータ伝達部DT1のトライステートゲートTG2をトライステートゲートTG5に置き換えた構成とされ

11

る。このトライステートゲートTG5は、図3のノアゲートNO3及びNO4に相当するノアゲートを含まず、電源電圧VCC及びVSS間にトーテムポール形態に設けられる一対のノーマリオフ型FETJ3及びJ4のみを含む。このうち、ノーマリオフ型FETJ3のゲートは、ノアゲートNO2の出力端子S2に結合され、ノーマリオフ型FETJ4のゲートは、ノアゲートNO1の出力端子S1に結合される。前記図3の説明から明らかなように、ノアゲートNO3及びNO4の論理条件は、ノアゲートNO2及びNO1の論理条件とそれぞれ合致する。このため、図9のトライステートゲートTG5は、図3のトライステートゲートTG2と同一の機能を果たすものとなり、これによってデータ伝達部DT1としての回路構成を簡素化することができるものである。

【0027】図10には、この発明が適用されたエッジトリガ型フリップフロップ回路のマスターラッチMLに設けられるデータ伝達部DT1の第3の実施例の回路図が示され、図11には、その信号波形図が示されている。なお、図10のノーマリオフ型FETJ1～J4は、図3及び図9のノーマリオフ型FETJ1～J4にそれぞれそのまま対応する。以下、データ伝達部DT1を例に説明を進める。

【0028】図10において、この実施例のデータ伝達部DT1は、その制御端子に非反転クロック信号CKを共通に受けける一対のトライステートゲートTG6（第1又は第3のトライステートゲート）及びTG7（第2又は第4のトライステートゲート）を含む。これらのトライステートゲートは、電源電圧VCC及びVSS間にトーテムポール形態に設けられる一対のノーマリオフ型FETJ1及びJ2ならびにJ3及びJ4をそれぞれ含む。このうち、トライステートゲートTG6を構成するノーマリオフ型FETJ1ならびにトライステートゲートTG7を構成するノーマリオフ型FETJ4のゲートは、ノアゲートNO5（第5のノアゲート）の出力端子S5に結合される。また、トライステートゲートTG6を構成するノーマリオフ型FETJ2のゲートは、ノアゲートNO6（第6のノアゲート）の出力端子S6に結合され、トライステートゲートTG7を構成するノーマリオフ型FETJ3のゲートは、ノアゲートNO7（第7のノアゲート）の出力端子S7に結合される。ノアゲートNO6及びNO7の一方の入力端子には、ノアゲートNO5の出力信号S5が共通に供給され、その他方の入力端子には、非反転クロック信号CKが共通に供給される。そして、ノアゲートNO5の一方の入力端子には、非反転入力データDTが供給され、その他方の入力端子には、非反転クロック信号CKが供給される。

【0029】非反転クロック信号CKがハイレベルとされるとき、ノアゲートNO5～NO7の出力信号S5～S7は、図11に例示されるように、ともにロウレベルとされる。このため、トライステートゲートTG6及び

12

TG 7 のノーマリオフ型 FET J 1～J 4 は一齊にオフ状態とされ、トライステートゲート TG 6 及び TG 7 の出力はハイインピーダンス状態とされる。しかし、データ伝達部 DT 1 の非反転出力信号 MT 及び反転出力信号 MB は、後段のデータ保持部 DH 1 のデータ保持機能によって、非反転入力データ DT の直前のサイクルにおける論理レベルを保持する形でハイレベル又はロウレベルとされる。

- 【0030】次に、非反転クロック信号CKがロウレベルとされると、ノアゲートNO5の出力信号S5が非反転入力データDTの論理レベルに従って選択的にハイレベル又はロウレベルとされ、その結果を受けてノアゲートNO6及びNO7の出力信号S6及びS7が選択的にハイレベル又はロウレベルとされる。すなわち、非反転入力データDTがロウレベルであると、ノアゲートNO5の出力信号S5は、図11に示されるように、ハイレベルとされ、ノアゲートNO6及びNO7の出力信号がともにロウレベルとされる。このため、トライステートゲートTG6及びTG7では、ノーマリオフ型FETJ 1及びJ4がオン状態とされ、ノーマリオフ型FETJ 2及びJ3がオフ状態とされる。その結果、データ伝達部DT1の非反転出力信号MTはロウレベルとされ、反転出力信号MBがハイレベルとされる。一方、非反転クロック信号CKがロウレベルとされるとき非反転入力データDTがハイレベルであると、ノアゲートNO5の出力信号S5はロウレベルとされ、ノアゲートNO6及びNO7の出力信号S6及びS7はともにハイレベルとされる。このため、トライステートゲートTG6及びTG7では、ノーマリオフ型FETJ 1及びJ4がオフ状態とされ、ノーマリオフ型FETJ 2及びJ3がオン状態とされる。その結果、データ伝達部DT1の非反転出力信号MTがハイレベルとされ、反転出力信号MBがロウレベルとされる。

【0031】つまり、この実施例のデータ伝達部DT1は、入力データとして非反転入力データDTのみが入力されるにもかかわらず、前記図3のデータ伝達部DT1と同様な機能を果たすものとされ、これによって多入力のデータ入力端子を有するデータ伝達部を容易に実現することができる。なお、この実施例のデータ伝達部DT1では、図11に示されるように、非反転入力データDTがロウレベルとされるとき、非反転クロック信号CKがロウレベルとされてからノアゲートNO5の出力信号S5が立ち上がりまでの間に、ノアゲートNO6及びNO7の出力信号S6及びS7が一時的にハイレベルとされ、ハザードが発生する。しかし、後段のスレーブラッチSLが非反転クロック信号CKの反転信号すなわち反転クロック信号CKBに従って相補的に動作するため、実質的な問題は生じない。

【0032】図12には、図1のエッジトリガ型フリップフロップ回路のマスター-ラッチMLに設けられるデ

13

タ伝達部DT1の第4の実施例の回路図が示されている。なお、この実施例のデータ伝達部DT1は、前記図10のデータ伝達部DT1を基本的に踏襲する。図12のノアゲートNO5及びNO6ならびにノーマリオフ型FETJ1～J4は、図10のノアゲートNO5及びNO6ならびにノーマリオフ型FETJ1～J4にそれぞれそのまま対応する。

【0033】図12において、データ伝達部DT1は、図10のデータ伝達部DT1のトライステートゲートTG7を前記トライステートゲートTG5に置き換えた構成とされる。このトライステートゲートTG5は、図10のノアゲートNO7に相当するノアゲートを含まず、電源電圧VCC及びVSS間にトーテムポール形態に設けられる一对のノーマリオフ型FETJ3及びJ4のみを含む。このうち、ノーマリオフ型FETJ3のゲートは、ノアゲートNO6の出力端子S6に結合され、ノーマリオフ型FETJ4のゲートは、ノアゲートNO5の出力端子S5に結合される。前記図10の説明から明らかなように、ノアゲートNO6の出力信号S6の論理レベルは、ノアゲートNO7の出力信号7と同一の論理条件で決定される。このため、図12のトライステートゲートTG5は、図10のトライステートゲートTG7と同一の機能を果たすものとなり、これによってデータ伝達部DT1としての回路構成を簡素化できるものである。

【0034】図13には、図1のエッジトリガ型フリップフロップ回路のマスター・ラッチMLに設けられるデータ伝達部DT1の第5の実施例の回路図が示されている。なお、この実施例のデータ伝達部DT1は、前記図10のデータ伝達部DT1を基本的に踏襲する。図13のノアゲートNO5及びNO7ならびにノーマリオフ型FETJ1～J4は、図10のノアゲートNO5及びNO7ならびにノーマリオフ型FETJ1～J4にそれぞれそのまま対応する。

【0035】図13において、データ伝達部DT1は、図10のデータ伝達部DT1のトライステートゲートTG6をトライステートゲートTG7と同一構造のトライステートゲートTG8に置き換えた構成とされる。すなわち、トライステートゲートTG8は、その出力端子S8がノーマリオフ型FETJ1のゲートに結合されるノアゲートNO8を含む。このノアゲートNO8の一方の入力端子には、ノアゲートNO9の出力信号S9が供給され、その他方の入力端子には、非反転クロック信号CKが供給される。ノアゲートNO9の一方の入力端子には、ノアゲートNO5の出力信号が供給され、その他方の入力端子には、非反転クロック信号CKが供給される。

【0036】これにより、ノアゲートNO9の出力信号S9は、図14に示されるように、非反転クロック信号CKがロウレベルとされかつノアゲートNO5の出力信

50

14

号S5がロウレベルとされるとき、言い換えるならば非反転クロック信号CKがロウレベルとされ非反転入力データDTがハイレベルとされるとき選択的にハイレベルとされる。また、ノアゲートNO8の出力信号S8は、非反転クロック信号CKがロウレベルとされかつノアゲートNO9の出力信号S9がロウレベルとされるとき、言い換えるならば非反転クロック信号CKがロウレベルとされ非反転入力データDTがロウレベルとされるとき選択的にハイレベルとされる。これらの結果、この実施例のデータ伝達部DT1は、図10のデータ伝達部DT1と同様な機能を果たすものとなり、これによってやはり多入力型のエッジトリガ型フリップフロップ回路を実現できるものである。なお、この実施例では、トライステートゲートTG8及びTG7を構成するノーマリオフ型FETJ1～J4のゲートが異なるノアゲートNO8、NO9、NO7ならびにNO5の出力端子に結合されるため、これらのノーマリオフ型FETJ1～J4に与えられる入力レベルを個別に設定し、最適化を図ることができる。また、この実施例においても、非反転クロック信号CKの立ち下がりエッジにおいてノアゲートNO7～S9の出力信号S7～S9にハザードが発生するが、害はない。

【0037】図15には、この発明が適用されたエッジトリガ型フリップフロップ回路の第2の実施例の回路図が示されている。なお、この実施例のエッジトリガ型フリップフロップ回路は、図1のエッジトリガ型フリップフロップ回路を基本的に踏襲する。図15のデータ伝達部DT1及びDT2ならびにデータ保持部DH1及びDH2は、図1のデータ伝達部DT1及びDT2ならびにデータ保持部DH1及びDH2にそれぞれそのまま対応する。

【0038】図15において、この実施例のエッジトリガ型フリップフロップ回路のスレーブラッチSLには、図1の場合と同様に、反転クロック信号CKBが供給され、マスター・ラッチMLには、反転クロック信号CKBのインバータN5による反転信号すなわち非反転クロック信号CKIが供給される。この非反転クロック信号CKIは、図16に示されるように、反転クロック信号CKBよりインバータN5の伝達遅延時間だけ遅れた信号とされ、実質的に図1の非反転クロック信号CKに相当する。このため、この実施例のエッジトリガ型フリップフロップ回路では、入力クロック信号が反転クロック信号CKBのみとされるにもかかわらず、図1のエッジトリガ型フリップフロップ回路と同様な機能及び効果を持つものとされる。この実施例において、反転クロック信号CKBの立ち下がりエッジからエッジトリガ型フリップフロップ回路の非反転出力信号QT及び反転出力信号QBの論理レベルが確定するまでの時間すなわちエッジトリガ型フリップフロップ回路としての伝達遅延時間は、図1の場合と同様に、1段のトライステートゲート

15

TG3及びTG4の伝達遅延時間によってのみ決まる。しかし、非反転入力データDTをエッジトリガ型フリップフロップ回路に取り込むために要する時間すなわちエッジトリガ型フリップフロップ回路としてのセットアップ時間は、実質的にトライステートゲートTG1及びTG2の伝達遅延時間からインバータN5の伝達遅延時間を差し引いた値となり、これによってエッジトリガ型フリップフロップ回路の動作がさらに高速化されるものとなる。

【0039】図17には、この発明が適用されたエッジトリガ型フリップフロップ回路を含む直並列変換レジスタSPRの一実施例の回路図が示され、図18には、その信号波形図が示されている。これらの図をもとに、この実施例のエッジトリガ型フリップフロップ回路の応用例とその特徴について説明する。なお、この実施例の直並列変換レジスタSPRは、ディジタル信号の高速伝送システム等を構成する高速論理集積回路装置に含まれ、シリアルに伝送される通信データを3ビット単位でパラレル信号に変換する機能を有する。

【0040】図17において、この実施例の直並列変換レジスタSPRは、その非反転データ入力端子DT及び反転データ入力端子DBならびに非反転出力端子QT及び反転出力端子QBを介して実質的な直列形態とされる3ビットのフリップフロップ回路FF2～FF0を含むシフトレジスタSRと、フリップフロップ回路FF2～FF0の非反転出力信号P2T～P0Tならびに反転出力信号P2B～P0Bをパラレルに受けける3ビットのエッジトリガ型フリップフロップ回路FF5～FF3を含む出力ラッチOLとを備える。これらのフリップフロップ回路FF0～FF5は、例えば前記図1のエッジトリガ型フリップフロップ回路によって構成される。シフトレジスタSRを構成するフリップフロップ回路FF2の非反転データ入力端子DTには、高速論理集積回路装置の図示されない前段回路からシリアル入力データDinが供給され、その反転データ入力端子DBには、シリアル入力データDinのインバータN6による反転信号が供給される。また、出力ラッチOLを構成するフリップフロップ回路FF5～FF3の非反転出力信号QTは、この直並列変換レジスタSPRの出力信号DO2～DO0として、高速論理集積回路装置の図示されない後段回路に供給される。

【0041】次に、シフトレジスタSRを構成するフリップフロップ回路FF2～FF0の反転クロック入力端子CKBには、反転クロック信号CKBが共通に供給され、その非反転クロック入力端子には、反転クロック信号CKBのインバータN7による反転信号すなわち非反転クロック信号CKが共通に供給される。また、出力ラッチOLを構成するフリップフロップ回路FF5～FF3の反転クロック入力端子CKBには、反転クロック信号CKBが共通に供給され、その非反転クロック入力

16

端子CKには、反転クロック信号CK3BのインバータN8による反転信号すなわち非反転クロック信号CK3が共通に供給される。ここで、反転クロック信号CK3Bは、図18に示されるように、反転クロック信号CKBの3倍の周期で周同期にハイレベル又はロウレベルとされる。

- 【0042】直並列変換レジスタSPRに入力されるシリアル入力データDinは、図18に示されるように、非反転クロック信号CKの立ち下がりエッジすなわち反転クロック信号CKBの立ち上がりエッジにおいて、シフトレジスタSRを構成するフリップフロップ回路FF2のマスター・ラッチMLに取り込まれ、反転クロック信号CKBの立ち下がりエッジにおいて、そのスレーブ・ラッチSLの相補出力端子すなわち非反転出力端子QT及び反転出力端子QBに非反転出力信号P2T及び反転出力信号P2Bとして出力される。そして、このフリップフロップ回路FF2の非反転出力信号P2T及び反転出力信号P2Bは、反転クロック信号CKBの次の立ち上がりにおいて、フリップフロップ回路FF1のマスター・ラッチMLに取り込まれ、反転クロック信号CKBの次の立ち下がりエッジにおいて、その非反転出力端子QT及び反転出力端子QBに非反転出力信号P1T及び反転出力信号P1Bとして出力される。以下、フリップフロップ回路FF1の非反転出力信号P1T及び反転出力信号P1Bは、同様にフリップフロップ回路FF0のマスター・ラッチML及びスレーブ・ラッチSLに入力されてその非反転出力信号P0T及び反転出力信号P0Bとなり、これによってシリアル入力データDinとしてシリアルに入力される一連の通信データd0～d9等がシフトレジスタSR内を順次シフトして伝達される。
- 【0043】一方、シフトレジスタSRを構成するフリップフロップ回路FF2～FF0の非反転出力信号P2T～P0Tならびに反転出力信号P2B～P0Bは、非反転クロック信号CK3の立ち下がりエッジすなわち反転クロック信号CK3Bの立ち上がりエッジにおいて、出力ラッチOLを構成するフリップフロップ回路FF5～FF3に一齊に取り込まれ、反転クロック信号CK3Bの立ち下がりエッジにおいて、これらのフリップフロップ回路の非反転出力端子QT及び反転出力端子QBから直並列変換レジスタSPRの出力信号DO2～DO0として出力される。前述のように、反転クロック信号CK3Bは、反転クロック信号CKBの3倍の周期を有する。このため、シリアル入力データDinとして直並列変換レジスタSPRに入力された通信データd0～d9等は、3ビットを単位としてその出力端子DO2～DO0にパラレルに出力される結果となる。
- 【0044】この実施例において、直並列変換レジスタSPRのシフトレジスタSR及び出力ラッチOLを構成するフリップフロップ回路FF0～FF5は、図1のエッジトリガ型フリップフロップ回路によって構成され、

その動作は比較的高速裏に行われる。このため、この実施例の直並列変換レジスタSPRは、比較的高い周波数帯域での動作が可能となり、これによって高速論理集積回路装置からなる高速伝送システムの伝送レートが改善される。

【0045】以上の実施例に示されるように、この発明を金属間化合物半導体を基板とする高速論理集積回路装置等に含まれるエッジトリガ型フリップフロップ回路に適用することで、次のような作用効果が得られる。すなわち、

(1) エッジトリガ型フリップフロップ回路を、一对のトライステートゲートを含みクロック信号に従って実質的な相補入力データを選択的に伝達する第1のデータ伝達部と、これらのトライステートゲートより小さな駆動能力を有しつつ交差結合される一对のインバータを含み第1のデータ伝達部の相補出力信号を保持する第1のデータ保持部と、一对のトライステートゲートを含みクロック信号の反転信号に従って第1のデータ保持部の相補出力信号を選択的に伝達する第2のデータ伝達部と、これらのトライステートゲートより小さな駆動能力を有しつつ交差結合される一对のインバータを含み第2のデータ伝達部の相補出力信号を保持する第2のデータ保持部とにより構成することで、エッジトリガ型フリップフロップ回路としての伝達遅延時間及びセットアップ時間をトライステートゲート1段分の遅延時間に短縮し、その動作を高速化できるという効果が得られる。

(2) 上記(1)項により、特に金属間化合物半導体を基板としつつ複数のエッジトリガ型フリップフロップ回路を含む高速論理集積回路装置等のサイクルタイムを短縮化することができるという効果が得られる。

(3) 上記(1)項及び(2)項のエッジトリガ型フリップフロップ回路を、高速伝送システムを構成する直並列変換レジスタ等に用いることで、直並列変換レジスタ等の高周波数帯域での動作を可能し、直並列変換レジスタを含む高速伝送システムの伝送レートを改善できるという効果が得られる。

【0046】以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は、上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。例えば、図1において、エッジトリガ型フリップフロップ回路のマスター・ラッチML及びスレーブラッチSLに供給されるクロック信号は、それぞれの反転信号つまり反転クロック信号CKB及び非反転クロック信号CKであつてもよい。図3、図5～図10ならびに図12及び図13において、電源電圧VSSを回路の接地電位とし、電源電圧VCCを+1Vのような正の電源電圧としてもよいし、その極性及び絶対値は、種々の実施形態を探りうる。図10及び図12ならびに図13において、エッジトリガ型フリップフロップ回路は、反転入力データDB

のみを受けるものとしてもよい。さらに、各回路は、バイポーラトランジスタを基本として構成してもよいし、その具体的な回路構成は、上記複数の実施例による制約を受けない。高速論理集積回路装置の基板として用いられる金属間化合物半導体は、ガリウム砒素以外の金属間化合物半導体であってもよい。

【0047】以上の説明では、主として本発明者によってなされた発明をその背景となつた利用分野である金属間化合物半導体を基板とする高速論理集積回路装置に適用した場合について説明したが、それに限定されるものではなく、例えば、その他の化合物半導体又はシリコン等を基板とする高速論理集積回路装置や汎用のゲートアレイ集積回路等にも適用できる。この発明は、少なくともエッジトリガ型フリップフロップ回路ならびにエッジトリガ型フリップフロップ回路を含む半導体装置に広く適用できる。

【0048】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、エッジトリガ型フリップフロップ回路を、一对のトライステートゲートを含みクロック信号に従って実質的な相補入力データを選択的に伝達する第1のデータ伝達部と、これらのトライステートゲートより小さな駆動能力を有しつつ交差結合される一对のインバータを含み第1のデータ伝達部の相補出力信号を保持する第1のデータ保持部と、一对のトライステートゲートを含みクロック信号の反転信号に従って第1のデータ保持部の相補出力信号を選択的に伝達する第2のデータ伝達部と、これらのトライステートゲートより小さな駆動能力を有しつつ交差結合される一对のインバータを含み第2のデータ伝達部の相補出力信号を保持する第2のデータ保持部とにより構成することで、エッジトリガ型フリップフロップ回路としての伝達遅延時間及びセットアップ時間をトライステートゲート1段分の遅延時間に短縮し、その動作を高速化することができる。

【0049】30 小さな駆動能力を有しつつ交差結合される一对のインバータを含み第2のデータ伝達部の相補出力信号を保持する第2のデータ保持部とにより構成することで、エッジトリガ型フリップフロップ回路としての伝達遅延時間及びセットアップ時間をトライステートゲート1段分の遅延時間に短縮し、その動作を高速化することができる。その結果、特に金属間化合物半導体を基板としつつ複数のエッジトリガ型フリップフロップ回路を含む高速論理集積回路装置等のサイクルタイムを短縮化することができる。

【図面の簡単な説明】

【図1】この発明が適用されたエッジトリガ型フリップフロップ回路の一実施例を示す回路図である。

【図2】図1のエッジトリガ型フリップフロップ回路の信号波形図である。

【図3】図1のエッジトリガ型フリップフロップ回路に含まれるデータ伝達部の第1の実施例を示す回路図である。

【図4】図3のデータ伝達部の真理値図である。

【図5】図1のエッジトリガ型フリップフロップ回路に含まれるデータ保持部の一実施例を示す回路図である。

19

【図6】図3のデータ伝達部に含まれるノアゲートの一実施例を示す回路図である。

【図7】図3のデータ伝達部に含まれるノアゲートの他の実施例を示す回路図である。

【図8】図7のノアゲートに含まれるクランプ回路に関する四つの実施例を示す回路図である。

【図9】図1のエッジトリガ型フリップフロップ回路に含まれるデータ伝達部の第2の実施例を示す回路図である。

【図10】図1のエッジトリガ型フリップフロップ回路に含まれるデータ伝達部の第3の実施例を示す回路図である。

【図11】図10のデータ伝達部の信号波形図である。

【図12】図1のエッジトリガ型フリップフロップ回路に含まれるデータ伝達部の第4の実施例を示す回路図である。

【図13】図1のエッジトリガ型フリップフロップ回路に含まれるデータ伝達部の第5の実施例を示す回路図である。

【図14】図13のデータ伝達部の信号波形図である。

【図15】この発明が適用されたエッジトリガ型フリップフロップ回路の他の実施例を示す回路図である。

10

【図16】図15のエッジトリガ型フリップフロップ回路の信号波形図である。

【図17】図1のエッジトリガ型フリップフロップ回路を含む直並列変換レジスタの一実施例を示す回路図である。

【図18】図17の直並列変換レジスタの信号波形図である。

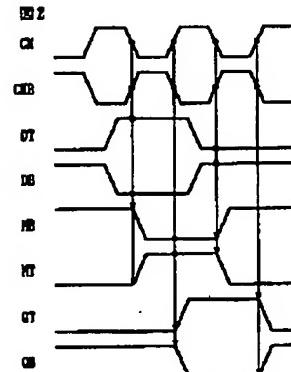
【図19】従来のエッジトリガ型フリップフロップ回路の一例を示す回路図である。

【図20】図19のエッジトリガ型フリップフロップ回路の信号波形図である。

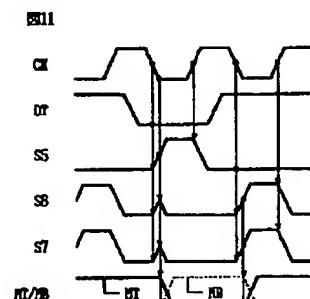
【符号の説明】

ML … マスター・ラッチ、SL … スレーブ・ラッチ、DT1～DT2 … データ伝達部、DH1～DH2 … データ保持部、TG1～TG8 … トライステートゲート、SR … シフトレジスタ、OL … 出力ラッチ、FF0～FF5 … エッジトリガ型フリップフロップ回路、N1～N8 … インバータ、NO1～NO15 … ノアゲート、C1 … クランプ回路、J1～J12 … ノーマリオフ型FET、J31～J35 … ノーマリオン型FET。

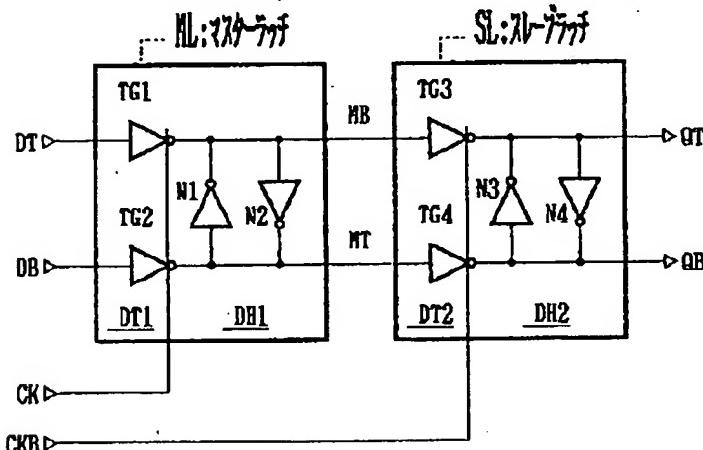
【図2】



【図11】

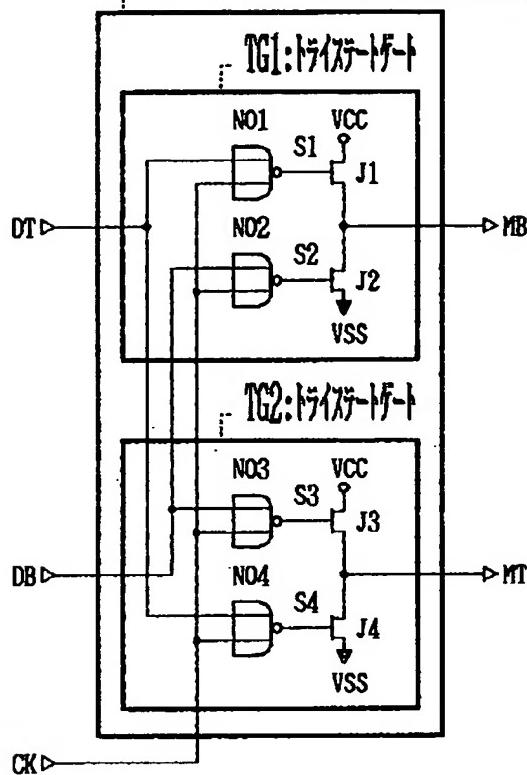


【図1】



【図3】

図3 DT1:データ伝達部(第1実施例)



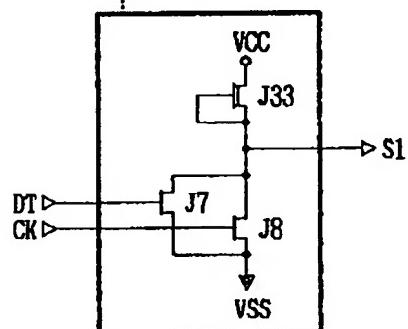
【図4】

図4 データ伝達部真理値

入力			出力	
DT	DB	CK	MT	MB
—	—	H	H	H
L	H	L	L	H
H	L	L	H	L

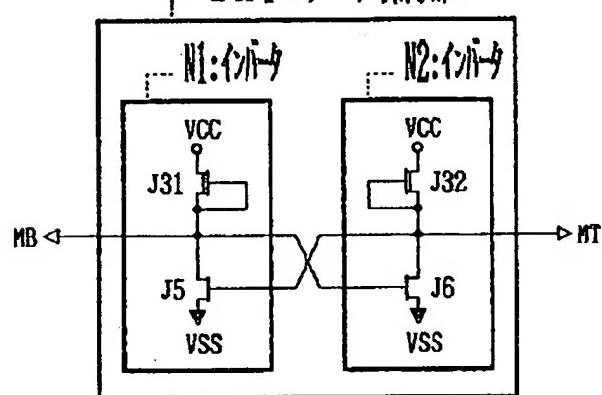
【図6】

図6 N01:ノアゲート(第1実施例)



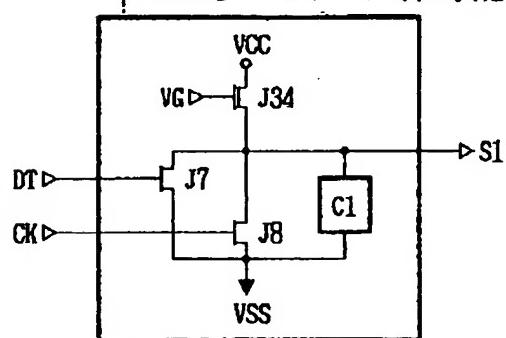
【図5】

図5 DH1:データ保持部



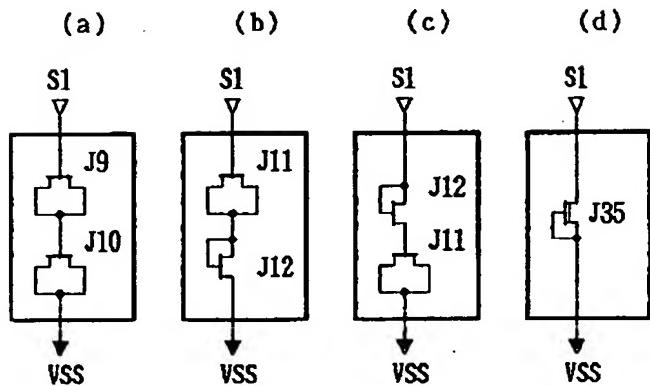
【図7】

図7 N01:ノアゲート(第2実施例)

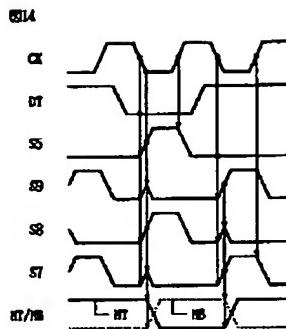


【図8】

図8

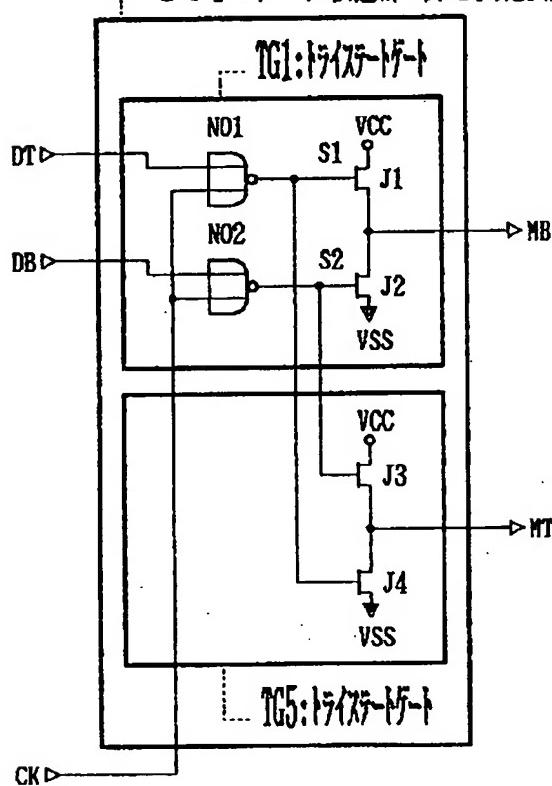
C1: クランプ回路

【図14】



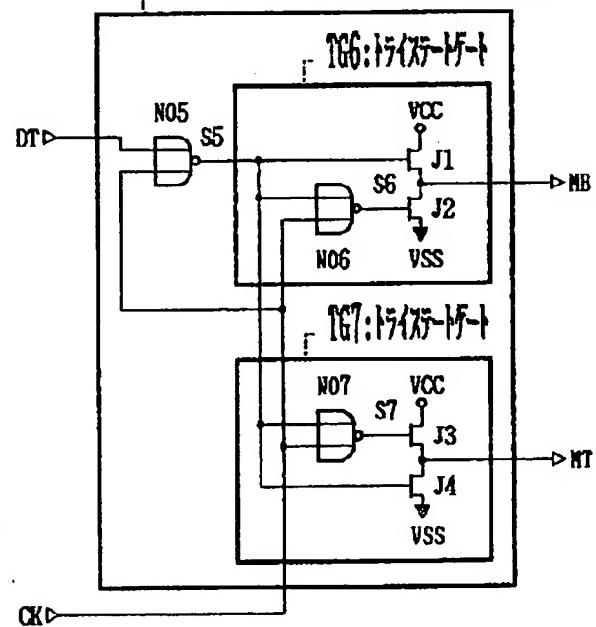
【図9】

図9 DT1: データ伝達部 (第2実施例)



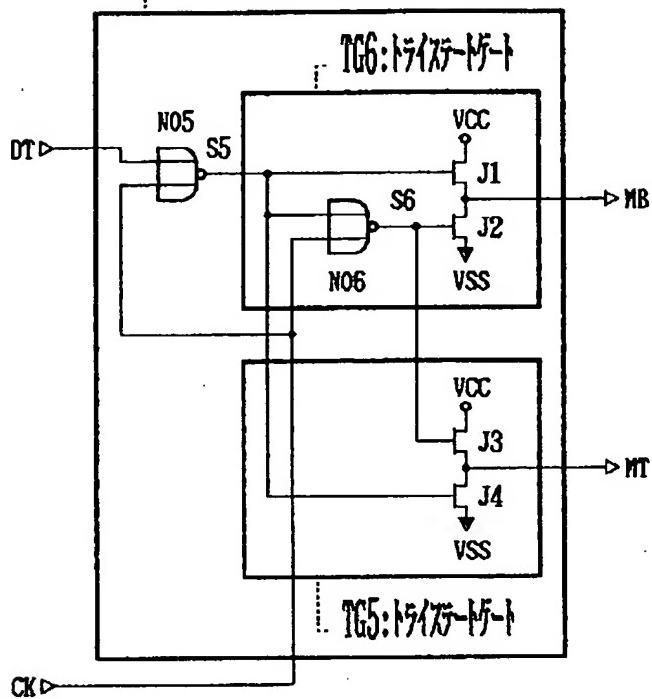
【図10】

図10 DT1: データ伝達部 (第3実施例)



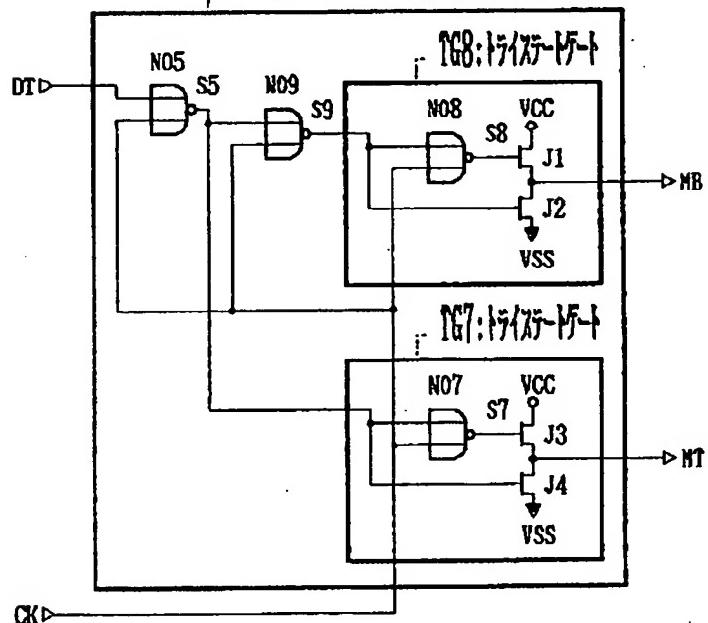
【図12】

図12 DT1:データ伝達部(第4実施例)

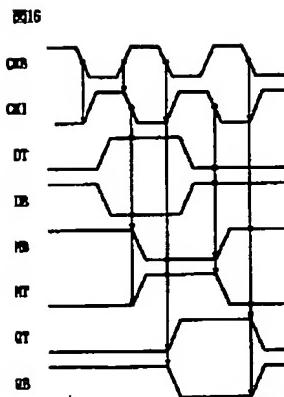


【図13】

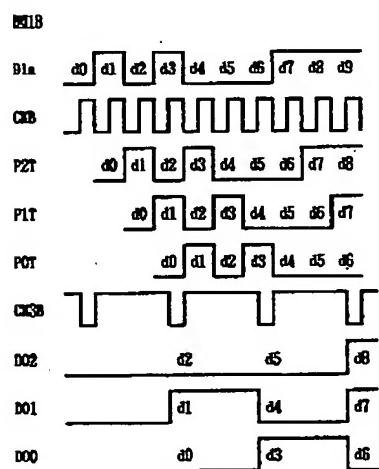
図13 DT1:データ伝達部(第5実施例)



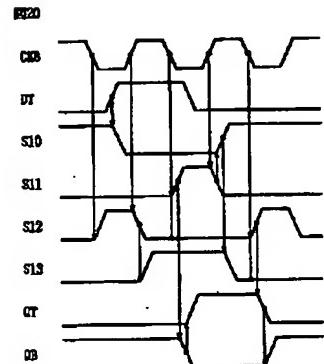
【図16】



【図18】

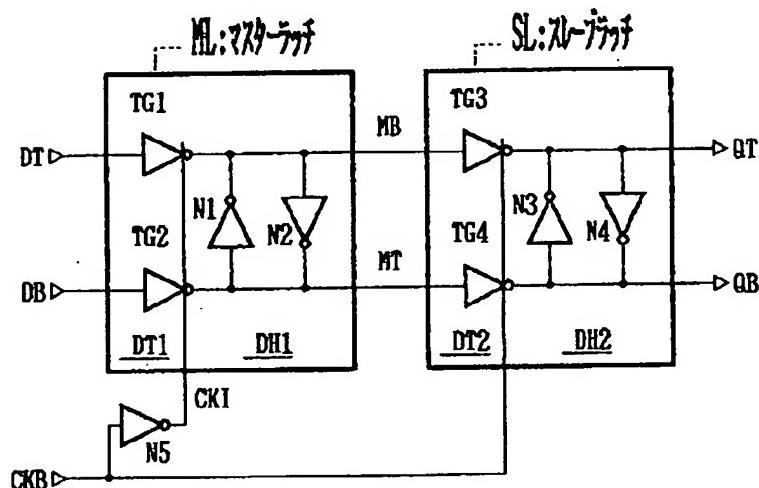


【図20】



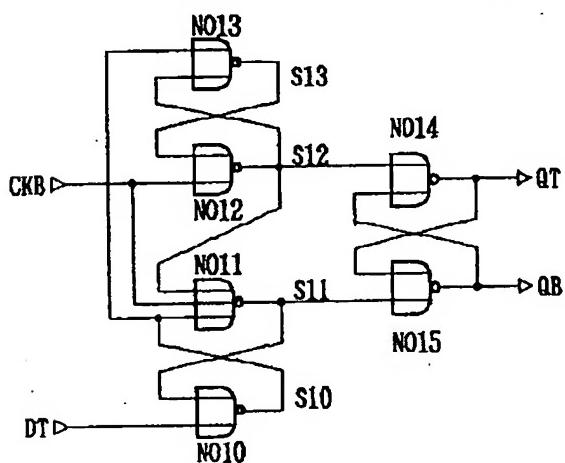
【図15】

図15 エッジトリガ型フリップフロップ回路(第2実施例)



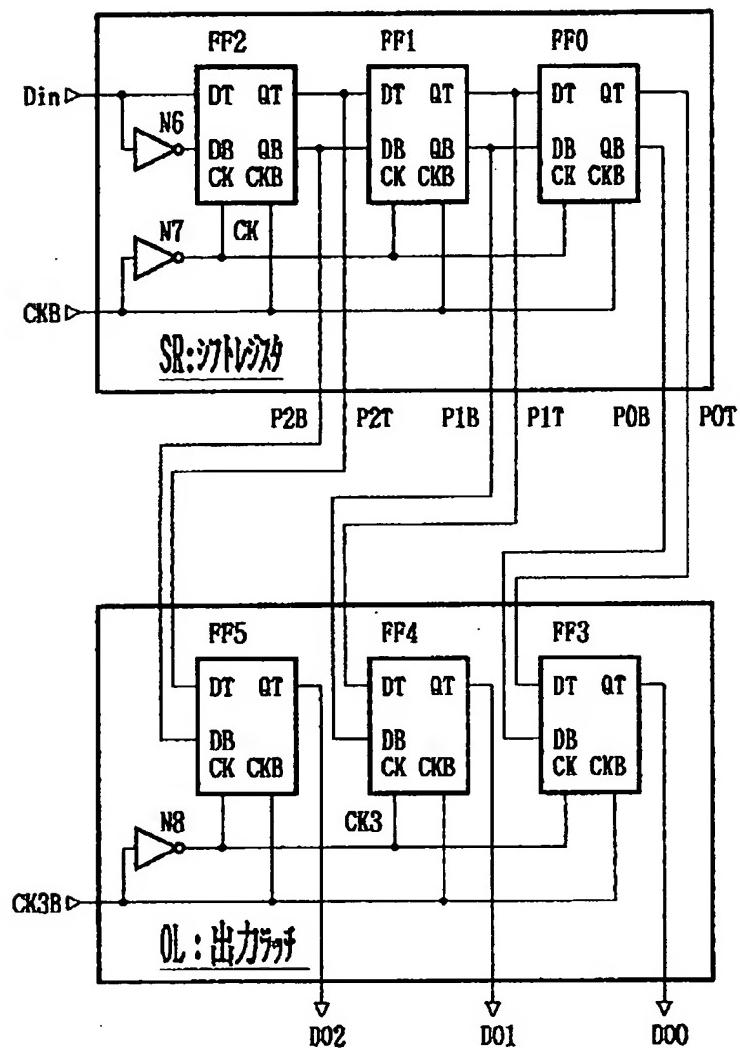
【図19】

図19 エッジトリガ型フリップフロップ回路(従来例)



【図17】

図17 SPR:直並列交換レジスタ



フロントページの続き

(72)発明者 川田 篤美
東京都国分寺市東恋ヶ窪一丁目280番地
株式会社日立製作所中央研究所内

(72)発明者 吉原 和弘
東京都青梅市今井2326番地 株式会社日立
製作所デバイス開発センター内